

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-283378

(43)Date of publication of application : 15.10.1999

(51)Int.Cl. G11C 15/04
G11C 15/04
G06F 12/08

(21)Application number : 10-334683 (71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 25.11.1998 (72)Inventor : FUNG PAK KUEN
TRAN HIEP VAN

(30)Priority

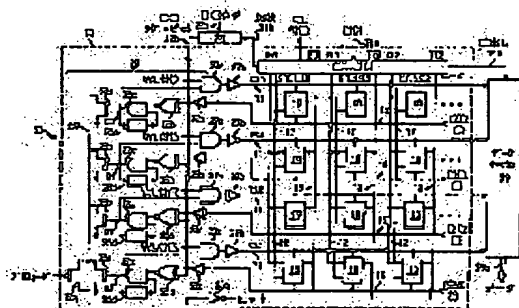
Priority number : 97 67293 Priority date : 26.11.1997 Priority country : US

(54) CONTENTS ADDRESS MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a cost of a contents comparing method of tag cells.

SOLUTION: A memory (CAM) 30 being addressable depending on contents has a tag memory 20 constituted with tag cells 10, together with data cache. Each tag cell 10 is constituted in the same way as an ordinary RAM cell to store data bits, but has a multiple switch at the output side, and this applies a signal indicating contents of the tag cells 10 to a reading line 15. In each reading line 15, bits from each cell in a column selected by a tag comparison circuit 25 is compared with bits of a target address. This cycle is repeated for whole bits of the target address and successive columns of the tag memory 20, unless it is terminated by 'unsigned' to all of the cells in a certain column. The tag comparison circuit 25 has a logic circuit holding a 'hit' output signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-283378

(43)公開日 平成11年(1999)10月15日

(51)Int.Cl.⁶

識別記号

F I

G 1 1 C 15/04

6 3 1

G 1 1 C 15/04

6 3 1 F

6 0 1

6 0 1 A

G 0 6 F 12/08

G 0 6 F 12/08

E

審査請求 未請求 請求項の数 3 O L (全 15 頁)

(21)出願番号 特願平10-334683

(22)出願日 平成10年(1998)11月25日

(31)優先権主張番号 0 6 7 2 9 3

(32)優先日 1997年11月26日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インストルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 バク ケン フング

アメリカ合衆国 テキサス州プラノ, レッ
ド バド レーン

(72)発明者 ヒエブ パン トラン

アメリカ合衆国 テキサス州ダラス, ウィ
ロウ レーン 5017

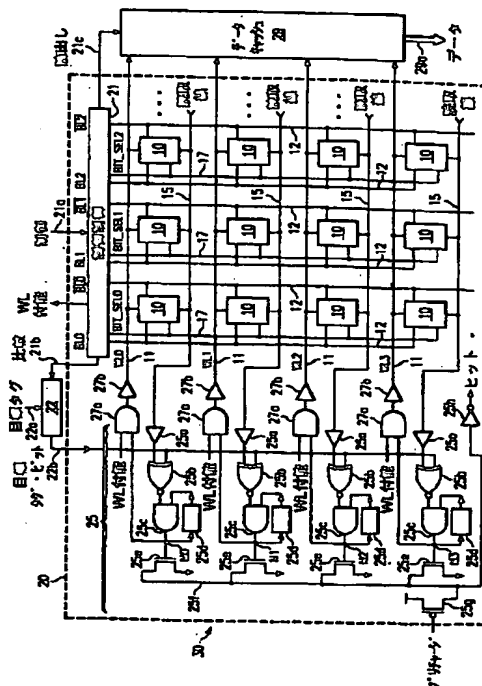
(74)代理人 弁理士 浅村 皓 (外 3 名)

(54)【発明の名称】 内容アドレス・メモリ

(57)【要約】 (修正有)

【課題】 タグ・セルの内容比較方法の低コスト化。

【解決手段】 内容によってアドレスし得るメモリ (C
AM) 3 0 が、タグ・セル 1 0、1 0 a で構成されたタ
グ・メモリ 2 0 を持つと共に、データ・キャッシュを持
っている。各々のタグ・セルは、データ・ビットを記憶
する為に普通の R A M セルと同じように構成されている
が、その出力に多重化スイッチ 1 6 を持ち、これ、がタ
グ・セルの内容を表す信号を読取線 1 5 に印加する。各
々の読取線で、タグ比較回路 2 5 が選択された列にある
各々のセルからのビットを目標アドレスのビットと比較
する。ある列内のすべてのセルに対する符合無しによっ
て終了しない限り、このサイクルが目標アドレスの全部
のビット及びタグ・メモリの相次ぐ列に対して繰返され
る。タグ比較回路は「ヒット」出力信号を保持する論理
回路を有する。



【特許請求の範囲】

【請求項1】 タグ及び各々のタグに関連したデータを記憶し、逐次的にタグを目標タグと比較する内容アドレス・メモリ（CAM）に於いて、
各々のタグに関連するデータを記憶するように作用し得るデータ・キャッシュと、
タグ・セルの行及び列を持っていて、各々のタグ・セルがタグのビットを記憶するように作用し得ると共に、ビットを表すセル出力信号を受取る多重化スイッチを持つタグ・メモリと、
各々のビット選択線が1つの列のセルを接続して、これらのセルの多重化スイッチを作動するように作用し得る多数のビット選択線と、
各々の読取線が1行のセルを接続して、その行のセルからのセル出力信号をこのセルに関連した多重化スイッチを介して受取るように作用し得る多数の読取線と、
各々の読取線を介してセル出力信号を受取り、各々の読取線のセル出力信号を目標タグのビットを表す信号と比較するように作用し得るタグ比較回路と、
目標タグのビットを逐次的にタグ比較回路に送出するように作用し得る目標タグ線と、
タグ比較回路によって行われた比較の結果を表示するように作用し得るヒット線と、
タグが目標タグと符合した時に、データ・キャッシュからのデータを出力するように作用し得るデータ・バスと、
制御信号を受取る制御入力を持っていて、ビット選択線を作動すると共に、符合したタグに関連するデータを検索することができるように、データ・キャッシュを作動する読出し信号を発生するように作用し得る制御装置とを有する内容アドレス・メモリ。
【請求項2】 目標タグを内容アドレス・メモリ（CAM）のタグ・メモリ部分に記憶されているタグと逐次的に比較する方法に於いて、
目標アドレスのビットを選択し、
タグ・メモリの列を選択して、選択された列を定め、
選択された列にある各セルに対し、その列の各セルの内容を表す信号を前記セルに関連する読取線に印加し、
読取線の各信号を目標アドレスから選択されたビットを表す信号と比較し、
比較する工程の結果を各々の読取線の出力として与え、
タグの各ビット並びにタグ・メモリの相次ぐ列に対して上に述べた工程を繰返し、
比較する工程の結果を示すヒット信号を発生する工程を含む方法。
【請求項3】 キャッシュ動作を用いてデータ・アクセスを容易にするコンピュータに於いて、
コンピュータ・プログラムを表す命令を実行するように作用し得るプロセッサと、
前記プロセッサと連絡して、命令並びに前記プロセ

ッサによってアクセスされたデータを記憶するように作用し得る主メモリと、前記プロセッサと連絡して、前記プロセッサから目標タグを受取るように作用し得る内容アドレス・メモリ（CAM）とを有し、前記CAMはタグ・セルの行及び列を持つタグ・メモリ、及びデータ・キャッシュを持ち、前記CAMは、メモリ・セルの外部にあるタグ比較回路を用いて、目標タグのビットを逐次的にメモリ・セルに記憶されているタグのビットと比較するように作用し得ると共に、比較結果が符合する場合、データ・キャッシュからデータを送出するように作用し得るコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は全般的にコンピュータ・メモリ、更に具体的に言えば、メモリ・キャッシュ形式及び符合を求めてキャッシュを探索する方法に関する。

【0002】

【従来の技術及び課題】「内容アドレス・メモリ」（内容によってアドレスし得るメモリ、略称CAM）がメモリ・キャッシュ・システムで使われている。これは、キャッシュが、プロセッサによって要請されたデータのような、システム内のどこか他の場所で必要なデータを持っているかどうかを判断する符合検査過程を実行する。

【0003】CAMを用いる汎用コンピュータでは、全てのキャッシュ・システムがそうであるが、プロセッサがそれが必要とするデータを同定する時、CAMは同定されたデータがCAM内にあるかどうかを判断する為に自分のメモリを検査しなければならない。言い換えれば、CAMは、データがキャッシュ項目であるかあるいはそれが主（非キャッシュ）メモリにだけに記憶されているかどうかを判断する。CAM方式では、この検査過程が、「タグ」をCAMに記憶することによって実施される。各々のタグは各々のキャッシュ項目のアドレスの一部分であって良い。CAMが各々のタグを、プロセッサによって発せられた「目標タグ」と比較する。符合すれば、データがCAM内にある。符合しなければ、データを主メモリから持ってくる。

【0004】普通のCAMは、目標タグを全てのタグのことごとくのビットと同時に比較する。普通のCAMは、特別なタグ・メモリ・セル（「タグ・セル」）を使うことによって、この比較を行う。各々のタグ・セルは普通のRAMセルのようなもので、関連するビット線及びワード線とデータ記憶部品とを持っているが、比較器をも持っている。比較器がビット線の信号をセルの内容と比較し、その結果を読取線に出す。CAM内にあるすべてのセルの比較器が一度にターンオンされ、この為、各々のセルはその比較を他の全てのセルと同時に実施する。

【0005】図1は、各々のタグ・セル102に対する

比較器(スイッチ107及び108)を持つ従来のCAM 100を示す。ビット線101が目標タグの相次ぐビット(並びに補数ビット)を同時にセル102に伝える。目標タグの各ビットが、1対のインバータ104の状態によって表されるセル102の内容と比較される。セル102の各行は関連する符合線103を持ち、これがVccにプリチャージされる。スイッチ105がワード線106によって作動される。1対の直列接続のスイッチング・トランジスタ107、108が各々のインバータ104の出力によって制御される。スイッチング・トランジスタ107、108が符合線103をアースに接続し、符合線103を放電する為には両方とも作動されなければならない。この放電が起こるのは、セルの内容がビット線の目標タグ・ビットと符合しない時だけである。従って、各々の行で、符合せずの時、符合線103が低くなる。何れかの行の符合線がVccにとどまる場合、その行の符合が表示される。オア・ゲート(図に示してない)を使って、CAM 100からの大域ヒット信号を発生することができる。

【0006】このように構成し、CAMのタグ・セルの内容を同時に比較するこの従来の方法は、ダイ面積及び電源に生ずる電流スパイクの点でコスト高である。パケット通信システムに使われるもののように多数の項目を記憶するCAMでは、電流スパイクが問題を招くことがある。

【0007】

【課題を解決する為の手段及び作用】この発明の一面は、タグ並びに各々のタグに関連するデータを記憶し、タグを目標タグと逐次的に比較する内容アドレス・メモリ(CAM)である。CAMは、タグ・セルのアレイ及びデータ・セルのアレイで構成される。各々のタグ・セルが、データ・ビットを記憶する為の適当なメモリ記憶部品を持つと共に、その出力がそのセルに記憶されたビットの状態を表す信号であるような多重化スイッチをも持っている。ビット選択線がタグ・セルの各列を接続し、読取線がタグ・セルの各行を接続する。タグ比較回路がタグ・セルの外部にある。任意のビット選択線を作動して、アレイのある列にある多重化スイッチをターンオンすることができる。その時、タグ比較回路がその列のセルにあるビットを目標タグのビットと比較する。目標タグの各ビットがタグ・セル出力の相次ぐ列と比較される時、タグ比較回路は、夫々、ある行にあるセルに対する比較がそれまで符合又は符合せずの何れを表示しているかを示す読取線出力を保つ。これらの読取線出力を互いに結合して、「ヒット」信号を発生することができる。この発明の利点は、各々のタグ・セルの面積、従ってCAMの寸法が縮小することである。これは、各々のタグ・セルがその出力に、比較器ではなく多重化スイッチ(1つ又は2つのトランジスタ)しか持たないことに由る。このようなセルのアレイを考えると、面積の節約

はかなりになる。

【0008】CAMは電流スパイクをも小さくする。任意の一時に、目標アドレスの1つのビットだけがタグ・セルの列からのビットと比較される。

【0009】別の利点は、長さが変化する目標タグに対処するようにCAMを容易にプログラムすることができることである。この為、短い目標タグに対しては、符合があるかどうかを判断するのに必要な時間が短くなるような形で、CAMをプログラムすることができる。

【0010】上に述べた特徴は、非同期転送モード(ATM)スイッチのようなパケット交換に使われるCAMにとって特に魅力がある。こういうスイッチは、典型的には1K又はそれ以上の多数のアドレスを持つCAMを用いて、アドレス置換を行う。このようなCAMでは、普通のCAMに伴うアレイの寸法及び電流スパイクは、一層小さなCAMよりも、なおさら大きな問題になる。

【0011】この発明のプログラム能力の面は、タグの符合検査の際に不作動にされ又は付能される部分にCAMを仕切ることには拡張することができる。これによってユーザが、実際に使われているCAMの部分によって要求される通りに、更に電力を減らし、速度を高めることができる。

【0012】

【実施例】図2はこの発明に従って構成されたCAM(内容によってアドレス可能なメモリ)のタグ・メモリ・セル(「タグ・セル」)10を示す。後で図6について説明するが、この発明によるCAMは、タグ・セル10のようなセルのアレイを持っている。この明細書でいう「タグ」は、タグに関連するデータに対する任意のデジタル識別子(1つ又は更に多くのビット)であって良い。目標タグがCAM内にあるタグと符合する時、CAMがそのタグに関連するデータを供給する。

【0013】RAM(ランダムアクセス・メモリ)のセルのように、タグ・セル10は、典型的にはここに示す静止メモリ・セルに1個のビットを記憶する。セル10に書込む為に、ワード線(WL)11及び相補的なビット線(BL及びBL(バー))12が使われる。1対のインバータ13及び関連する入力スイッチング・トランジスタ14が、セル10に記憶されるビットの2進状態を決定する。図示例では、トランジスタ14がNMOSトランジスタであるが、他のものを用いても良く、上側インバータ13の出力電圧を記憶されているビットを決定するものとして取出すことができる。タグの符合検査では、読取線15がセル10に記憶されたビットの状態を示す信号を受取る。この為、普通のタグ・セルと異なり、セル10は読取線に出力を発生する為に比較を行わない。その代りに、セル10は多重化トランジスタ16を持っていて、これは、オンの時、セルに記憶された内容を読取線15に結合する。こうしてセル10は、セルの記憶されている“0”又は“1”状態を示す「タグ・

ビット出力」を多重化トランジスタ16の出力端子（「試験端子」）に発生する。各セル10の試験端子がそのセルの行の読取線15に結合される。多重化トランジスタ16は、ビット選択線17が作動された時、試験端子をセル10のタグ・ビット出力に結合するビット選択入力を持っている。

【0014】ビット選択線（BIT_SEL）17がセル10に接続され、ビット線12と平行に伸びている。タグ符合検査の動作では、プリチャージ・トランジスタ19を使って、読取線15を論理1（Vccボルト）及び0（0ボルト）の中間の電圧、例えばVcc/2までプリチャージする。ビット選択線17が“1”（Vccボルト）によって作動されると、トランジスタ16が導電し、プリチャージされた読取線15の電圧を、記憶されているビットが“0”又は“1”の何れであるかに応じて、0又はVccに駆動する。後で図6について説明するが、読取線15に出るこのビットを表す信号が、目標タグのビットを表す信号と比較される。

【0015】図3は、CAMセル10の別の実施例であるCAMセル10aを示す。セル10aはセル10と似ているが、その読取線15がVccにプリチャージされている。Vccへのプリチャージ動作をよくする為に、プリチャージ・トランジスタ19aはNMOSTトランジスタではなく、PMOSTトランジスタにすることができる。

【0016】セル10aの多重化スイッチは2つのトランジスタ16、18で構成されている。トランジスタ18はセル出力に対して高入力インピーダンスを呈し、トランジスタ16と協働して、記憶されているビットが“0”又は“1”の何れであるかに応じて、読取線15を0又はVccの電圧に駆動する。追加のトランジスタ18は、読取線15に一層強固な信号を発生し、読取線15のセンスアンプの必要を無くすることができる（図6の素子25a参照）。

【0017】図2及び3の両方について説明すると、セル10及びセル10aの両方のタグ・セルの実施例は、多重化スイッチを使って、記憶されているビットを表す信号（タグ・ビット出力）を読取線15に印加する。セル10の場合、このスイッチは1個のトランジスタ16であるが、セル10aの場合、このスイッチは2つのトランジスタ16、18である。何れの場合も、トランジスタの数は、比較器を持つ従来のCAMのタグ・セルに必要な数よりも少ない。

【0018】図4及び5は夫々CAMセル10及び10aの時間線図である。何れの場合も、時刻 t_0 に、セルが最初にプリチャージされ、読取線の電圧が、セル10の場合はVcc/2、そしてセル10aの場合はVccになるようにする。ビット選択電圧は低（V=0）である。時刻 t_1 にセルが切替えられると、ビット選択電圧が高（Vcc）になる。セル10（図4）の場合、読取

線電圧がそのプリチャージ・レベルからVcc又は0になり、夫々論理“1”又は“0”を示す。セル10a（図5）の場合、読取線電圧はVccのままであるか又は0になり、夫々論理“1”又は“0”を示す。時刻 t_1 に、セルが読取られ、読取線15のセル10（図4）は、読出しを助けるセンスアンプ（図6の素子25a参照）を持ち、セル10a（図5）は、より強固な出力信号を発生するトランジスタ18を持っている。

【0019】図6は、データ・キャッシュ29（典型的にはSRAM）とデータが連絡するタグ・メモリ20を持つCAM 30を示している。タグ・メモリ20はタグ・セル10（又は10a）の多数の行及び列を有する。L個の行があり、各行がM列を有する。図2（又は図3）について前に述べたように、各々のタグ・セル10（又は10a）が関連した多重化スイッチ16（又は16及び18）によってその行に対する対応する読取線15に結合されている。

【0020】図6の実施例では、各々のタグが、このタグに関連するキャッシュ・データと同じワード線のタグ・セル10に記憶される。特定のワード線にあるタグと符合すると、このワード線にある要請されたデータをデータ・キャッシュ29から検索する。この為、図示のように、CAM 30のワード線（WL0、WL1、WL2...）がタグ・メモリ20からデータ・キャッシュ29に直接的に接続されている。データ・キャッシュ29のL行があり、各行がN個のデータ・メモリ・セルを持っている。

【0021】一般的に、タグ・メモリ20は比較しようとする目標タグ内のビット数と少なくとも同じ数の列と、少なくとも、キャッシュにあるデータ項目に対するタグに対処するのに必要な数の行を持っている。簡単の為、図6のタグ・メモリ20では、タグ・セル10の4行及び3列がある。ワード線11及び読取線15がセル10の行を接続する。ビット線12及びビット選択線17がセル10の列を選択する。

【0022】制御装置21は、任意の所定の時刻に、どのビット線12又はビット選択線17が作用するかを決定する回路で構成される。制御装置は、夫々図10及び11に関連して後で説明するATMスイッチのスイッチ制御装置又はコンピュータのプロセッサのような外部の源から、制御線21aを介して制御入力（「制御」）を受取る。制御装置21が、比較線21bを介して「比較」信号をタグ・ビット選択器22に送出すと共に、読出し線21cを介して「読出し」信号をデータ・キャッシュ29に送出す。

【0023】タグ・ビット選択器22が「目標」タグを記憶している。この目標タグは、図10及び11に関連して後で説明するように、データ通信ネットワークの一部分である遠隔の源、又はコンピュータのプロセッサの何れかから発することができる。目標タグをタグ入力線

22aを介してタグ・ビット選択器22が受取る。制御装置21からの「比較」信号にตอบสนองして、タグ・ビット選択器22が、記憶されているタグからの対応するビットと比較する為、一度に目標タグの1つのビットを逐次的に選択する。タグ・ビット選択器22はタグ・ビット出力端子を持っていて、目標タグのビットを目標タグ・ビット線22bを介してタグ比較回路25へ送出す。

【0024】タグ比較回路25(25a、25b、25c、25d、25e)はタグ・メモリ20の周辺にある。一般的に、タグ比較回路25は目標タグの選択されたビットを、ビット選択線17を作用することによって決定されたタグ・メモリ20の列にあるタグ・セル10の出力とを比較する。この為、全てのタグ・ビットを一度に目標タグと比較するのではなく、各々のタグの1個のビットだけが、目標タグの選択されたビットと比較される。例えば、最初のクロックの間、各々のタグのビット0が目標タグのビット0と比較される。ビット0で符合があれば、次のクロックの間、各々のタグのビット1が目標タグのビット1と比較される。目標タグの特定のビットで符合せずが表示されるまで、又は目標タグの最後のビットが比較されるまで、これが続けられる。

【0025】タグ比較回路25は、センスアンプ25a、XNORゲート25b、アンド・ゲート25c、フリップフロップ25d及びスイッチ25eで構成され、その各々の1つずつがタグ・メモリ20の各行に関連している。タグ符合検査過程の最初のサイクルの間、タグ・メモリ20の第1列の多重化トランジスタ16が、それに関連するビット選択線17によってターンオンされる。対応する記憶ビットを示す各々の読取線15の信号がセンスアンプ25aによって増幅されて対応する論理1又は0になる。各々の行で、XNORゲート25bは、タグ・メモリ20から読取線15に出る行入力信号に対する入力と、タグ・ビット選択器22からのタグ・ビット出力に対する別の入力とを持っている。それがこれら2つの信号を比較し、最初のサイクルでは、比較はタグ・メモリ20の第1列にあるビットとタグの最初のビットとの比較になる。この時、各々の行で、アンド・ゲート25cがフリップフロップ25dに記憶する為、比較結果を入力する。フリップフロップ25dが夫々“1”に初期設定されて、アンド・ゲート25cを付能するが、一旦“0”(符合せず)がフリップフロップ25dに記憶されると、対応するアンド・ゲート25cが不動作にされ、“0”(符合せず)を出力する。その後、次のサイクルでは、同じように、目標タグの次のビットが次の列のビットと比較される。フリップフロップ25dが依然として“1”である(符合せずがまだ出ていない)各々の行では、この次の比較の結果がその行のフリップフロップ25dに記憶される。

【0026】各々の行で、目標タグのビットとセル10の出力との間で符合せずがXNORゲート15bで発生

すると、XNOR25bがアンド・ゲート25cに対して論理“0”を出力し、この時、アンド・ゲートもフリップフロップ25dに対して“0”を出力しなければならない。一旦フリップフロップ25dが“0”を受取ると、それはアンド・ゲート25cを“0”だけを出力する状態にロックする。従って、何れかの行で1個のビットの符合せずが発生したことだけにより、その行での目標タグの符合せずが決定される。目標タグのビットは逐次的に比較されるが、各行のANDゲート25cの出力が、それまでのその行に対する累積的な比較結果(0=符合せず、1=未だ符合せずなし)を示す。

【0027】比較サイクルが目標タグの相次ぐビット及びタグ・メモリ20の相次ぐ列に対して繰返される。ある列の全てのANDゲート25cが符合せずを表示する場合、比較過程を打切ることができるが、そうでなければ、目標タグの全てのビットに対して続けられる。プリチャージ線25fがPMOSTランジスタ25gを介してVccボルトにプリチャージされる。線25fが電荷を保持する場合、即ち、ある列の全部のANDゲート25cが符合せずを表示する場合、スイッチ25eがその時オフになり、インバータ25hが“0”の「ヒットなし」信号を発生する。しかし、何れかのスイッチ25eが、符合がある、即ち、ANDゲート25cの出力が“1”(Vccボルト)である行にある場合、線25fがアースされる。線25fがある行の符合によってアースされる場合、インバータ25hが“1”の「ヒット」信号を発生する。

【0028】前に述べたように、図6の実施例では、タグ・メモリ20のワード線11がデータ・キャッシュ29のそれに対して共通である。各々の行で、ワード線付能ANDゲート27aを使って、その行に対するタグに関連したキャッシュ・データをアクセスすることができる。具体的に言うと、タグ比較過程によって、或るタグが符合になった場合、そのタグの行のANDゲート25cが、その行にあるANDゲート27aの一方の入力に“1”を出力する。全てのANDゲート27aの他方の入力にある「付能」信号を“1”にセットすることにより、符合を持つ行にあるANDゲート27aだけが“1”(ワード線付能信号)を発生することができる。この信号が対応するバッファ増幅器27bを介してデータ・キャッシュ29に伝達され、正しいアドレスにあるデータをデータ・キャッシュ29から読み出すことができる。読出し線21cを介して制御装置21から送出された「読出し」信号が、データ・キャッシュ29からデータを検索するタイミングを決定する。

【0029】この発明のタグ比較過程の各サイクルは、目標タグの1つのビットをタグ・メモリ20に記憶されている各タグの1つのビットと同時に比較する。この比較が、目標タグの相次ぐビットに対して繰返される。この為、目標タグについて言うと、この過程は「逐次タグ

比較過程」であり、従来のCAMの並列タグ比較過程と対照的である。従来のCAMに比べて、同時比較の数が減り、電流スパイクが平滑される。

【0030】ヒット又はミスを検出するのに必要な時間は、精々、目標タグの各ビットを比較する時間に等しい。しかし、各行がそれ自身のタグ比較回路25を持っている為、キャッシュ項目の数に関係なく、この時間は同じままである。この特徴は、図10について後で説明するATM（非同期転送モード）スイッチにCAM 30を用いる場合に重要である。

【0031】図6の実施例では、ワード線11及びビット線12は随意選択であり、セル10の1ビットの内容を書込む為に普通のように使われる。これによって、タグ・メモリ20にあるタグを変更することができる。セル10に書込むには、そのビット選択線17を不作動にする（低にする）。こうするとその多重化トランジスタ16が書込みの妨げをしない。他の実施例では、セル内容を永久的に記憶することができ、ワード線11及びビット線12の必要が無くなる。同様に、図6にははっきりと示していないが、データ・キャッシュ29は、ワード線及びビット線によって読取可能又は書込み可能であっても無くても良い。

【0032】図6の実施例では、タグ・メモリ20が、図2及び3のセル10、10aと同じく、ビット選択線17を持っている。多重化トランジスタ16がこれらのビット選択線17によって制御される。しかし、他の実施例では、多重化トランジスタ16をビット線12によって制御することができ、その場合これは普通のメモリ書込みに使われるビット線であるばかりでなくタグ比較に使われるビット選択線でもある。この場合、読取線15は書込みの間、「高」にプリチャージする。

【0033】標準的な数の列に構成したタグ・メモリ20は、「短い」目標タグに対処するように容易にプログラムすることができる。例えば、タグ・メモリが16ビットの目標タグ用に構成されているが、実際の目標タグが僅か8ビットである場合、これらの列に対するビット選択線17だけを作動する必要がある、8回の比較サイクルしか実施する必要が無い。これは、制御装置21に適当なマスク又はその他の回路を用いることによって実現することができる。このプログラム能力は、工場で用いる又は現場で（ユーザが）用いるプログラム能力として実施することができる。タグ長についてのこのプログラム能力を利用して、短いタグに対して、電力及び符合検査時間を節約することができる。

【0034】キャッシュの空の行に関連するタグ比較回路25の部品を不作動にすることにより、使用電力及び符合検査時間を更に節約することができる。例えば、タグ・メモリ20はキャッシュの1Kの行に対するタグを記憶することができる。しかし、タグ・メモリ20がいっぱいでなければ、使われていない行に関連する

センスアンプ25a及び論理素子25b-25eを不作動にすることができる。

【0035】実際に記憶されているタグに対してだけタグ比較をできるようにする具体的な構成として、タグ・メモリを部分に仕切ることができる。図7は、この発明に従って仕切ったタグ・メモリ40を示す。各々の仕切りはタグ・セル10（又は10a）で構成される。図7の実施例では、タグメモリ40はビット選択線を使わない。その代り、前に述べたようにこのメモリはビット線12を使って、自分のセルの多重化スイッチを制御する。タグ・メモリ20のようにビット選択線を使うタグ・メモリは、タグ・メモリ40と同じように仕切ることができる。

【0036】図7の例では、タグ・メモリ40が4つの部分S1、S2、S3及びS4に仕切られている。1つの部分が常に使われ、今の場合は、それが一番上側の部分S1と仮定する。

【0037】タグ・メモリ40のビット線12がビット線制御装置31によって制御される。タグ・メモリ40が、タグ・メモリ20と同じようなビット選択線を持つ場合、ビット線制御装置31は図3の制御装置21のようになっていることができる。しかし、ビット選択線を使わないタグ・メモリ40では、ビット線制御装置31がビット線12だけを制御する。

【0038】タグ・メモリ40の他の部分（S2、S3及びS4）は、部分選択線35のSEC_SELによって作動された場合にだけ使われる。各々の部分に関連するレジスタ34が、SEC_SEL線35の高又は低状態を決定する。これらの各々の部分は関連したビット線スイッチ・ブロック32を持ち、これがその部分に対するビット線12を付能するかどうかを決定する。

【0039】図8及び9は、ビット線スイッチ・ブロック32に使うのに適した通過ゲート80及び中継器90を夫々示す。通過ゲート80を使う利点は、その使い方が簡単であることである。中継器90を使うと、ビット線12の抵抗負荷が一層小さくなると共に、書込み動作に対する悪影響の恐れが小さくなる。中継器90を用いると、ビット線信号が部分毎に再生され、書込みが実施できるように保証する。

【0040】通過ゲート80は2つのNMOSTランジスタ41及び2つのPMOSTランジスタ42を有する。各々のランジスタ41、42のゲートが図7のSEC_SEL線35のような選択線43に対して直列に接続されている。NMOSTランジスタ41のドレイン及びソースが夫々BL及びBL（バー）に接続される。BL及びBL（バー）は図7のビット線17である。PMOSTランジスタ42のドレインがVccに接続され、そのソースがNMOSTランジスタ41のソース出力に接続される。選択線43が「高」である時、NMOSTランジスタ41はBL及びBL（バー）に電流が流

れることを許す。選択線が「低」である時、BL及びBL(バー)のドレイン節がVccに引張られ、ビット線12は不動作である。

【0041】中継器90は2つのインバータ51及び2つのナンド・ゲート52を有する。選択線53が各々のナンド・ゲート52の入力に接続される。BL及びBL(バー)線(ビット線12)が夫々異なるインバータ51の入力に接続される。各々のインバータ51の出力がナンド・ゲート52に対する入力になる。選択線53が高である時、ナンド・ゲート52がインバータとして作用し、インバータ51に対する信号はナンド・ゲート52の信号出力と同じである。選択線53が低である時、ナンド・ゲート52の出力が高であり、BL及びBL(バー)線はVccになる。

【0042】図7に戻って言うと、仕切られたタグ・メモリ40の各々の部分に対し、SEC_SEL信号がナンド・ゲート36にも送出され、そこでその部分の出力とナンドされ、SEC_MATCH(バー)信号を形成する。ある部分が作動されていない場合、SEC_MATCH(バー)信号は高にセットされる。SEC_MATCH(バー)信号がアンド・ゲート37に送出され、大域符合信号GMATCH(バー)を形成する。

【0043】図10は、各々がこの発明によるCAM 65を持つ多数のポート・プロセッサ61を持つATM(非同期転送モード)スイッチ60を示す。ATMスイッチ60はデータ通信システムの一部であり、このシステムでコンピュータ又は他の送信局及び受信局(この明細書ではネットワークの「節」と呼ぶ)がデータを交換する。後で説明するが、スイッチ60の全般的な動作は、ソース節からATMセルを受取り、それを適正な着信節に配送する。

【0044】各々のATMセルは53バイトのデータ・ブロックで、5バイトのヘッダ及び48バイトの情報のペイロードで構成される。種々の節からのATMセルが1つの流れとして多重化される。この多重化は非同期転送を介して行われる。即ち、セルは、送信するデータが有る時にだけ送信され、時分割多重化に於けるようにダミーバイトの必要が無い。更に、ATM交換はコネクション・オリエンテッドであり、データ転送を行う前に、任意の2つの節の間の接続を設定しなければならない。この接続過程により、伝送通路及び着信節が定められ、これによってATMセルのヘッダを使って、セルを必要な通路で配送することができる。

【0045】各々のATMセルが入力ポート・プロセッサ61で受信され、スイッチ60によって適正な出力ポート・プロセッサ61に配送される。各々のセルの長さが一定であり、各々のセルのヘッダに於ける情報の位置が分かっているため、ハードウェアを使うことによって交換を行うことができる。この為、スイッチ60は論理回路を用いて実現することができる。この回路は、物理

レイヤ及びATMレイヤのプロトコルに従って成される。物理レイヤ・プロトコルは、ATM交換では具体的に定義されていないが、ATMは他のネットワーク・プロトコルで定義された物理レイヤに頼っている。これによってATMを広い範囲の物理メディアによって支援することができる。ATMレイヤは、物理レイヤと「トップ」ATMレイヤ、即ちATM適応レイヤとの間のインターフェースである。一般的に、スイッチ60は、入来セルをどこに配送するかを決定し、個々の接続からのそれらを単一セル・ストリームに配置することによりセルを多重化する。

【0046】ATM交換では、CAM 65に記憶されているタグは、ATM基準に従ってVPI(バーチャル・パス識別子)及びVCI(バーチャル・チャンネル識別子)に割当てられた完全なバイト数に対応する寸法を持つことができる。この代りに、タグは、特定のスイッチ60に対して、どのくらい多くのパス及びパスのチャンネルが作用しているかに応じて、その一部分である寸法を持つことができる。

【0047】ポート・プロセッサ61の他に、スイッチ60はスイッチング・ファブリック62及びスイッチ制御装置63を有する。ATMセルは任意の1つのポート・プロセッサ61からスイッチ60に入り、同じ又は別のポート・プロセッサ61でスイッチ60から出ていくことができる。スイッチング・ファブリック62が、入力ポートと出力ポートのマッピングにより、ポート・プロセッサ61の間の交換を取扱う。この交換過程はスイッチ制御装置63の制御の下に実施される。

【0048】各々のポート・プロセッサ61はポート制御装置64を持ち、これは状態管理機構又はその他の論理回路であって良い。ポート制御装置64が入来セルからセル・ヘッダ情報(目標タグ)を抽出し、目標タグをCAM 65に送出す。CAM 65はタグ・メモリ65a及びデータ・キャッシュ65bで構成され、前に図6について説明したCAM 30に相当する構成及び動作を有する。図6の制御装置21の作用をポート制御装置64で扱うことができる。

【0049】ポート制御装置64が目標タグをタグ・メモリ65aへ送出す。この目標タグは前に述べたようにして、タグ・メモリ65aに記憶されているタグと逐次的に比較される。「ヒット」がある時、データ・キャッシュ65bからの新しいアドレスがポート制御装置64へ送出される。この新しいアドレスは、セルがスイッチ60から出ていく時の正しいポート・プロセッサ61を示す。ポート制御装置64はセルにある古いアドレスを新しいアドレスに置換え、セルをスイッチング・ファブリック62に送出す。この時、スイッチング・ファブリック62はセルを適正な出力ポート・プロセッサ61へ配送する。「ヒット」が無い時、スイッチ60はATMプロトコルに従って動作する。このプロトコルにより、

セルを単に捨てることができる。

【0050】図11はこの発明の別の用途としての、この発明によるCAM 83を持つ汎用コンピュータ80を示す。CAM 83を別として、コンピュータ80は普通の汎用パーソナル・コンピュータ又はワークステーションと同様に構成することができる。プロセッサ82が機械で実行し得る命令に従って、命令及びデータの為に主メモリ81（典型的にはランダム・アクセスメモリ）をアクセスするようにプログラムされる。このアクセスは普通のアドレス、データ及び制御バスを介する。

【0051】データを持ってくる動作を更に促進する為、CAM 83は、プロセッサ82が発した目標タグとCAM 83に記憶されているタグとの符合検査を試みる。CAM 83は図6のCAM 30と同じように構成されていて、同じように動作して、目標タグをタグ・メモリ83bに記憶されているタグと逐次的に符合検査する。CAM 83は制御装置83aを持ち、これは状態管理機構又はその他の論理回路であって良く、それが、制御線81aを介して送出される制御信号により、プロセッサ81の指示の下に動作する。目標タグは、アドレス・バス83dを介してタグ・メモリ83bが受信する。

【0052】タグ符合検査過程により、ヒット線83fに2進「ヒット」信号が出るが、その論理レベルはヒット又はヒット無しの何れかを示す。ヒットが示された場合、CAM 83が符合したタグに対応するデータをデータ・バス83eを介してプロセッサ81へ送出す。コンピュータ80に使う場合、CAM 83は目標タグに符合するタグを1つより多く記憶していることがあり、その為、1つの目標タグ当たり、1つより多くのヒットがあることがある。ヒット無しであれば、プロセッサ81は、どんなプログラミングであっても、現在実行されているものに対してメッセージを送出すというような、何らかの適切な動作をとるようにプログラムすることができる。

【0053】ATMスイッチ60及びコンピュータ80の両方に対し、前に図6について説明したように、タグ・メモリ65a（又は83b）にある各々のタグは、データ・キャッシュ（65b）（又は83c）にある関連するキャッシュ・データと同じワード線に記憶して、ヒット後のキャッシュ・データのアクセスを容易にすることができる。

【0054】この為、この発明には、タグ及び各々のタグに関連するデータを記憶していて、タグを目標タグと逐次的に比較する内容アドレス・メモリ（CAM）として、各々のタグに関連するデータを記憶するように作用し得るデータ・キャッシュと、タグ・セルの行及び列を持ち、各々のタグ・セルがタグのビットを記憶するように作用し得ると共に、ビットが表すセル出力信号を受取る多重化スイッチを持つタグ・メモリと、各々のビット

選択線が1つの列のセルを接続すると共に、これらのセルの多重化スイッチを作動するように作用し得る多数のビット選択線と、各々の読取線が1行のセルを接続すると共にそのセルに関連した多重化スイッチを介してその行のセルからのセル出力信号を受取るように作用し得る多数の読取線と、各々の読取線を介してセル出力信号を受取ると共に、各々の読取線のセル出力信号を目標タグのビットを表す信号と比較するように作用し得るタグ比較回路と、目標タグのビットを逐次的にタグ比較回路に送出すように作用し得る目標タグ線と、タグ比較回路によって行われた比較の結果を表示するように作用し得るヒット線と、タグが目標タグと符合した時、データ・キャッシュからデータを出力するように作用し得るデータ・バスと、制御信号を受取る制御入力を持っていて、ビット選択線を作動して、符合したタグに関連するデータを検索することができるように、データ・キャッシュを作動する為の読出し信号を発生するように作用し得る制御装置とを有する内容アドレス・メモリ（CAM）が含まれる。

【0055】更に、各々の多重化スイッチが1個のトランジスタで構成されている、上に述べたようなCAMが含まれる。

【0056】更に、各々の多重化スイッチが2つのトランジスタで構成され、第1のトランジスタが第2のトランジスタに対して高入力インピーダンスを呈するような、上に述べたCAMが含まれる。

【0057】更に、目標タグを記憶し、目標タグのビットを逐次的に選択し、これらのビットをタグ比較回路へ送出すように作用し得るタグ・ビット選択器を有する、上に述べたCAMが含まれる。

【0058】更に、ビット選択線に関連していて、プログラムされた数のビット選択線を作動するように作用し得る論理回路を有する、上に述べたCAMが含まれる。

【0059】更に、タグ比較回路が、各々の読取線の出力にある直列接続されたXNORゲート、アンド・ゲート及びフリップフロップで構成されるような、上に述べたCAMが含まれる。

【0060】更に、タグ・メモリが多数のワード線を持ち、各々のワード線が1行のセルを接続し、更にタグ・メモリが多数のビット線を持ち、各々のビット線が1列のセルを接続して、ワード線及びビット線はセルに書込む為のセルを選択するように作用し得る、上に述べたCAMが含まれる。

【0061】更に、ビット選択線が、セルに書込む為のセルを選択するように更に作用し得るビット線である、上に述べたCAMが含まれる。

【0062】更に、データ・キャッシュがデータの行を記憶し、各々の行に関連したワード線を持っていて、タグ・メモリのワード線が夫々、そのメモリ・セルがその行にあるタグに対するデータを記憶しているデータ・キ

ヤッシュのワード線に接続される、上に述べたCAMが含まれる。

【0063】更に、論理“0”又は論理“1”信号を夫々表す低及び高電圧と共に使うCAMデジタル・メモリとして、L行及び(M+N)列に配置されていて、各行がM個のタグ・セル及びL個のデータ・メモリ・セルを持ち、各々のタグ・セルが

①記憶された“0”又は“1”信号を示すタグ・ビット出力を持つメモリ・セル、②試験端子、及び③ビット選択線が“1”信号を受取った時だけ、試験端子をタグ・ビット出力に結合するビット選択入力を持つ常開多重化スイッチを持つメモリ・アレイと、その行にある各々のタグ・セルの試験端子に結合された、各行に対する読取線と、その列にある各々のタグ・セルのビット選択端子に結合されて、ビット選択線の“1”信号を介してその列の多重化スイッチを閉じる、各列に対するビット選択線と、制御信号を受取る制御入力を持っていて、メモリ・アレイ及びビット選択線に結合され、「比較」及び「読出し」信号を発生する制御装置と、④Mビット目標タグ信号を受取るタグ入力、及び⑤制御装置に結合され、「比較」信号にตอบสนองして、目標タグ信号のビットを直列にタグ・ビット出力に出力するタグ・ビット出力を持つタグ・ビット選択器と、⑥タグ・ビット選択器の出力に結合されたタグ・ビット入力、⑦何れも夫々の読取線に結合されたL個の入力、及び⑧制御装置に結合され、「比較」信号にตอบสนองして、タグ・ビット入力に受取った各々のタグ・ビットを相次いで、読取線から受取った同じ列の全てのビットと同時に比較し、或る行のM個のタグ・セル全部が目標タグと符合する場合に、ヒット出力に“1”を発生するヒット出力を有するタグ比較回路と、メモリ・アレイ、行比較器及び制御装置に結合されていて、「読出し」信号にตอบสนองして、そのタグが目標タグと符合した行の対応するN個のデータ・メモリ・セルに記憶されたビットを出力するNビットデータ出力とを有するCAMデジタル・メモリが含まれる。

【0064】更に、各々の多重化スイッチが1個のトランジスタで構成されている、上に述べたCAMが含まれる。

【0065】更に、各々の多重化スイッチが2つのトランジスタで構成され、第1のトランジスタが第2のトランジスタに対して高入力ラインピーダンスを呈する、上に述べたCAMが含まれる。

【0066】更に、ビット選択線に関連して、プログラムされた数のビット選択線を作動するように作用し得る論理回路を有する、上に述べたCAMが含まれる。

【0067】更に、タグ比較回路が各々の読取線の出力に直列接続されたXNORゲート、アンド・ゲート及びフリップフロップで構成される、上に述べたCAMが含まれる。

【0068】更に、メモリ・アレイが更に多数のワード

線を持ち、各々のワード線が1行のセルを接続し、更に多数のビット線を持ち、各々のビット線が1列のセルを接続して、ワード線及びビット線がセルに書込む為のセルを選択するように作用し得る、上に述べたCAMが含まれる。

【0069】更に、ビット選択線が、セルに書込む為のセルを選択するように更に作用し得るビット線である、上に述べたCAMが含まれる。

【0070】更に、目標タグを内容アドレス・メモリ(CAM)のタグ・メモリ部分に記憶されているタグと逐次的に比較する方法として、目標アドレスのビットを選択し、タグ・メモリの列を選択して、選択された列を定め、選択された列にある各々のセルに対し、その列にある各セルの内容を表す信号をセルに関連した読取線に印加し、読取線の各々の信号を目標アドレスから選択されたビットを表す信号と比較し、比較する工程の結果を各々の読取線の出力として供給し、タグの各ビット及びタグ・メモリの相次ぐ列に対して、上に述べた工程を繰返し、比較する工程の結果を示すヒット信号を発生する工程を含む方法が含まれる。

【0071】更に、選択する工程が、各列に関連するビット選択線を作動することによって行われる、上に述べた方法が含まれる。

【0072】更に、選択する工程が各列に関連するビット線を作動することによって行われる、上に述べた方法が含まれる。

【0073】更に、比較する工程にตอบสนองして、CAMのデータ・メモリ部分をアクセスして、符合したタグと同じ行にあるデータ・メモリの行をアクセスする工程を含む、上に述べた方法が含まれる。

【0074】更に、タグ・メモリを仕切って、印加する工程が選択された仕切りの行に対してだけ行われる工程を含む、上に述べた方法が含まれる。

【0075】更に、タグ及び各々のタグに関連するデータを記憶し、タグを目標タグと比較する内容アドレス・メモリ(CAM)を用いる方法として、CAMのタグ・メモリ部分を部分に仕切り、タグ・メモリはタグのビットを夫々記憶するタグ・セルを持ち、タグ・メモリはタグ・セルの行及び列の形に配置されており、目標アドレスを受取り、タグを記憶していない任意の部分を不動作にし、こうしてタグ・メモリの1つ又は更に多くの付能された部分を定め、目標タグのビットを、タグ・メモリのメモリ・セルの外部にあるタグ比較回路を使って、付能された部分の列に記憶されたタグのビットと逐次的に比較する工程を含む方法が含まれる。

【0076】更に、比較する工程が、各列に関連するビット選択線を作動することによって実施され、その列にある各セルに対する出力が読取線に発生されるようにする、上に述べた方法が含まれる。

【0077】更に、比較する工程が、各列に関連するビ

ット線を作動することによって実施され、その列にある各セルに対する出力が読取線に発生されるようにする、上に述べた方法が含まれる。

【0078】更に、比較する工程に応答して、CAMのデータ・メモリ部分をアクセスする工程を含んでいて、符合したタグと同じ行にあるデータ・メモリの行がアクセスされる、上に述べた方法が含まれる。

【0079】更に、各セルがヘッダ・データ及びペイロード・データを持つようなATMセルを配送する非同期転送モード(ATM)スイッチとして、各々のポート・プロセッサがポート制御装置、入力ポート、出力ポート、及び内容アドレス・メモリ(CAM)を持ち、ポート・プロセッサがヘッダ・データから目標タグを抽出するように作用し得ると共に、CAMがタグ・セルの行及び列を持つタグ・メモリ及びデータ・キャッシュを持ち、タグ・セルの外部にあるタグ比較回路を用いて、CAMが目標タグのビットをタグ・セルに記憶されたタグのビットと逐次的に比較するように作用し得る多数のポート・プロセッサと、入力ポート・プロセッサからのセルを出力ポート・プロセッサに切替えるように作用し得るスイッチング・ファブリックと、ポート・プロセッサに対する制御信号を送出すスイッチ制御装置とを有する非同期転送モード(ATM)スイッチが含まれる。

【0080】更に、各々のタグ・セルが、ビットを表すセル出力信号を受取る多重化スイッチを持ち、タグ・メモリが①各々のビット選択線が1列のセルを接続すると共にこれらのセルの多重化スイッチを作動するように作用し得る多数のビット選択線、②各々の読取線が1行のセルを接続し、その行のセルから、このセルに関連した多重化スイッチを介してセル出力信号を受取るように作用し得る多数の読取線、③各々の読取線を介してセル出力信号を受取り、各々の読取線のセル出力信号を目標タグのビットを表す信号と比較するように作用し得るタグ比較回路、④目標タグのビットをタグ比較回路に逐次的に送出すように作用し得る目標タグ線、⑤タグ比較回路によって行われた比較の結果を示すように作用し得るヒット線、及び⑥タグが目標タグと符合した時にデータ・キャッシュからデータを出力するように作用し得るデータ・バスを有する、上に述べたATMスイッチが含まれる。

【0081】更に、データ・アクセスを容易にする為にキャッシュ動作を用いるコンピュータとして、コンピュータ・プログラムを表す命令を実行するように作用し得るプロセッサと、前記プロセッサと連絡して、プロセッサによってアクセスされた命令及びデータを記憶するように作用し得る主メモリと、前記プロセッサと連絡して、プロセッサから目標タグを受取るように作用し得る内容アドレス・メモリ(CAM)とを有し、CAMは、タグ・セルの行及び列を持つタグ・メモリ及びデータ・キャッシュを持ち、CAMは、メモリ・セルの外

部にあるタグ比較回路を用いて、目標タグのビットをメモリ・セルに記憶されたタグのビットと逐次的に比較するように作用し得ると共に、比較結果が符合であれば、データ・キャッシュからデータを送出すように作用し得るコンピュータが含まれる。

【0082】更に、各々のタグ・セルがビットを表すセル出力信号を受取る多重化スイッチを持ち、タグ・メモリが①各々のビット選択線が1列のセルを接続すると共に、これらのセルの多重化スイッチを作動するように作用し得る多数のビット選択線、②各々の読取線が1行のセルを接続すると共に、その行のセルから、そのセルに関連した多重化スイッチを介してセル出力信号を受取るように作用し得る多数の読取線、③各々の読取線のセル出力信号を受取り、各々の読取線のセル出力信号を目標タグのビットを表す信号と比較するように作用し得るタグ比較回路、④目標タグのビットを逐次的にタグ比較回路へ送出すように作用し得る目標タグ線、⑤タグ比較回路によって行われた比較の結果を示すように作用し得るヒット線、⑥タグが目標タグと符合した時、データ・キャッシュからデータを出力するように作用し得るデータ・バス、及び⑦制御信号を受取る制御入力を持っていてビット選択線を作動して、符合したタグに関連するデータをアクセスすることができるよう、データ・キャッシュを作動する読出し信号を発生するように作用し得る制御装置を有する、上に述べたコンピュータが含まれる。

【0083】

【他の実施例】この発明を特定の実施例について説明したが、この説明はこの発明を制約する意味に解してはならない。当業者には、ここに開示した実施例の種々の変更並びにその他の実施例が容易に考えられよう。従って、この発明の真の範囲内に含まれる全ての変更が、特許請求の範囲によって包括されることを承知されたい。

【0084】以上の説明に関し、更に以下の項目を開示する。

(1) タグ及び各々のタグに関連したデータを記憶し、逐次的にタグを目標タグと比較する内容アドレス・メモリ(CAM)に於いて、各々のタグに関連するデータを記憶するように作用し得るデータ・キャッシュと、タグ・セルの行及び列を持っていて、各々のタグ・セルがタグのビットを記憶するように作用し得ると共に、ビットを表すセル出力信号を受取る多重化スイッチを持つタグ・メモリと、各々のビット選択線が1つの列のセルを接続して、これらのセルの多重化スイッチを作動するように作用し得る多数のビット選択線と、各々の読取線が1行のセルを接続して、その行のセルからのセル出力信号をこのセルに関連した多重化スイッチを介して受取るように作用し得る多数の読取線と、各々の読取線を介してセル出力信号を受取り、各々の読取線のセル出力信号を目標タグのビットを表す信号と比較するよ

うに作用し得るタグ比較回路と、目標タグのビットを逐次的にタグ比較回路に送出すように作用し得る目標タグ線と、タグ比較回路によって行われた比較の結果を表示するように作用し得るヒット線と、タグが目標タグと符合した時に、データ・キャッシュからのデータを出力するように作用し得るデータ・バスと、制御信号を受取る制御入力を持っていて、ビット選択線を作動すると共に、符合したタグに関連するデータを検索することができるよう、データ・キャッシュを作動する読出し信号を発生するように作用し得る制御装置とを有する内容アドレス・メモリ。

【0085】(2) 第1項に記載の内容アドレス・メモリに於いて、各々の多重化スイッチが単一トランジスタで構成されている内容アドレス・メモリ。

(3) 第1項に記載の内容アドレス・メモリに於いて、各々の多重化スイッチが2つのトランジスタで構成され、第1のトランジスタが第2のトランジスタに対して高入力インピーダンスを呈する内容アドレス・メモリ。

(4) 第1項に記載の内容アドレス・メモリに於いて、目標タグを記憶し、前記目標タグのビットを逐次的に選択し、これらのビットをタグ比較回路に送出すように作用し得るタグ・ビット選択器を有する内容アドレス・メモリ。

(5) 第1項に記載の内容アドレス・メモリに於いて、ビット選択線に関連して、プログラムされた数のビット選択線を作動するように作用し得る論理回路を有する内容アドレス・メモリ。

【0086】(6) 論理“0”又は“1”信号を夫々表す低及び高電圧と共に用いるCAMデジタル・メモリに於いて、L行及び(M+N)列に配置されていて、各行がM個のタグ・セル及びN個のデータ・メモリセルを持ち、各々のタグ・セルが①記憶されている“0”又は“1”信号として表されるタグ・ビット出力を持つメモリ・セル、②試験端子、及び③ビット選択信号が

“1”信号を受取る時だけ、試験端子をタグ・ビット出力に結合するビット選択入力を持つ常開多重化スイッチを持つメモリ・アレイと、その行にある各々のタグ・セルの試験端子に結合されている、各行に対する読取線と、その列にある各々のタグ・セルのビット選択端子に結合されていて、前記ビット選択線の“1”信号を通じて、その列の多重化スイッチを閉じる、各列に対するビット選択線と、制御信号を受取る制御入力を持っていて、前記メモリ・アレイ及びビット選択線に結合され、「比較」及び「読出し」信号を発生する制御装置と、①Mビット目標タグ信号を受取るタグ入力、及び②前記制御装置に結合されたタグ・ビット出力で、前記「比較」信号にตอบสนองして、目標タグ信号のビットを前記タグ・ビット出力に直列出力する前記タグ・ビット出力を持つタグ・ビット選択器と、

①タグ・ビット選択器の出力に結合されたタグ・ビット入力、②各々夫々の読取線に結合されたL行入力、及び③制御装置に結合されたヒット出力で、「比較」信号にตอบสนองして、前記タグ・ビット入力に受取った各々のタグ・ビットを相次いで、前記読取線から受取った同じ列の全てのビットと同時に比較し、ある行のM個のタグ・セルの全部が目標タグに符合する場合に、前記ヒット出力に“1”を発生する前記ヒット出力を持つタグ比較回路と、前記メモリ・アレイ、行比較器及び制御装置に結合されていて、「読出し」信号にตอบสนองして、そのタグが目標タグと符合する行の対応するN個のデータ・メモリ・セルに記憶されているビットを出力するNビット・データ出力とを有するCAMデジタル・メモリ。

(7) 目標タグを内容アドレス・メモリ(CAM)のタグ・メモリ部分に記憶されているタグと逐次的に比較する方法に於いて、目標アドレスのビットを選択し、タグ・メモリの列を選択して、選択された列を定め、選択された列にある各セルに対し、その列の各セルの内容を表す信号を前記セルに関連する読取線に印加し、読取線の各信号を目標アドレスから選択されたビットを表す信号と比較し、比較する工程の結果を各々の読取線の出力として与え、タグの各ビット並びにタグ・メモリの相次ぐ列に対して上に述べた工程を繰返し、比較する工程の結果を示すヒット信号を発生する工程を含む方法。

【0087】(8) タグ及び各々のタグに関連するデータを記憶し、タグを目標タグと比較する内容アドレス・メモリ(CAM)を用いる方法に於いて、CAMのタグ・メモリ部分を仕切り、前記タグ・メモリは夫々タグのビットを記憶するタグ・セルを持ち、前記タグ・メモリはタグ・セルの行及び列の形に配置されており、目標アドレスを受取り、タグを記憶していない任意の部分を不動作にして、こうしてタグ・メモリの1つ又は更に多くの付能された部分を定め、タグ・メモリのメモリ・セルの外部にあるタグ比較回路を用いて、目標タグのビットを逐次的に付能された部分の列に記憶されているタグのビットと比較する工程を含む方法。

【0088】(9) 各セルがヘッダ・データ及びペイロード・データを持っているようなATMセルのルーートを定める非同期転送モード(ATM)スイッチに於いて、幾つかのポート・プロセッサを有し、各々のポート・プロセッサはポート制御装置、入力ポート、出力ポート及び内容アドレス・メモリ(CAM)を持ち、前記ポート・プロセッサはヘッダ・データから目標タグを抽出するように作用可能であり、前記CAMはタグ・セルの行及び列を持つタグ・メモリ及びデータ・キャッシュを持っており、前記CAMは、タグ・セルの外部にあるタグ比較回路を用いて、目標タグのビットを逐次的にタグ・セルに記憶されているタグのビットと比較するように作用可能であり、更に、入力ポート・プロセッサから出力ポート・プロセッサへセルを切替えるように作用し得

るスイッチング・ファブリックと、前記ポート・プロセッサに制御信号を送出すスイッチ制御装置とを有する非同期転送モード・スイッチ。

【0089】(10) キャッシュ動作を用いてデータ・アクセスを容易にするコンピュータに於いて、コンピュータ・プログラムを表す命令を実行するように作用し得るプロセッサと、前記プロセッサと連絡して、命令並びに前記プロセッサによってアクセスされたデータを記憶するように作用し得る主メモリと、前記プロセッサと連絡して、前記プロセッサから目標タグを受取るように作用し得る内容アドレス・メモリ(CAM)とを有し、前記CAMはタグ・セルの行及び列を持つタグ・メモリ、及びデータ・キャッシュを持ち、前記CAMは、メモリ・セルの外部にあるタグ比較回路を用いて、目標タグのビットを逐次的にメモリ・セルに記憶されているタグのビットと比較するように作用し得ると共に、比較結果が符合する場合、データ・キャッシュからデータを送出するように作用し得るコンピュータ。

【0090】(11) 内容によってアドレスし得るメモリ(CAM)30及びCAMに記憶されたタグを目標タグと逐次的に符合を検査する為にそれを使う方法。CAM30が、タグ・セル10、10aで構成されたタグ・メモリ20を持つと共に、データ・キャッシュを持っている。各々のタグ・セル10、10aは、データ・ビットを記憶する為に普通のRAMセルと同じように構成されているが、その出力に多重化スイッチ16をもっている。多重化スイッチ16がタグ・セルの内容を表す信号を読取線15に印加する。タグ・メモリ20の外部にタグ比較回路25がある。各々の読取線で、タグ比較回路25が選択された列にある各々のセル10、10aからのビットを目標アドレスのビットと比較する。ある列内のすべてのセル10、10aに対する符合無しによ

って終了しない限り、このサイクルが目標アドレスの全部のビット及びタグ・メモリの相次ぐ列に対して繰返される。タグ比較回路25は「ヒット」出力信号を保持する論理回路を有する。

【図面の簡単な説明】

【図1】従来のCAM(内容によってアドレス可能なメモリ)を示す。

【図2】この発明によるCAMのタグ・セルを示す。

【図3】この発明によるタグ・セルの別の実施例を示す。

【図4】夫々図2及び3のタグ・セルに対する時間線図。

【図5】夫々図2及び3のタグ・セルに対する時間線図。

【図6】この発明によるCAMを示す。

【図7】この発明に従って仕切ったCAMを示す。

【図8】図7のビット線スイッチを構成する為に使うことができる通過ゲートを示す。

【図9】図7のビット線スイッチを構成する為に使うことができる中継器を示す。

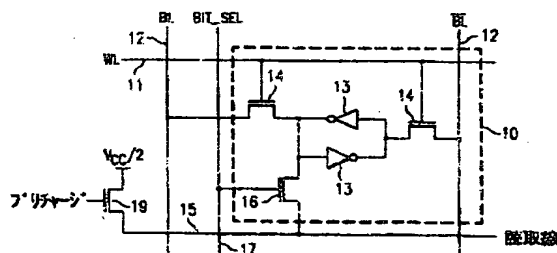
【図10】この発明によるCAMを非同期転送モード(ATM)スイッチに使うことができる様子を示す。

【図11】この発明によるCAMを汎用コンピュータに使うことができる様子を示す。

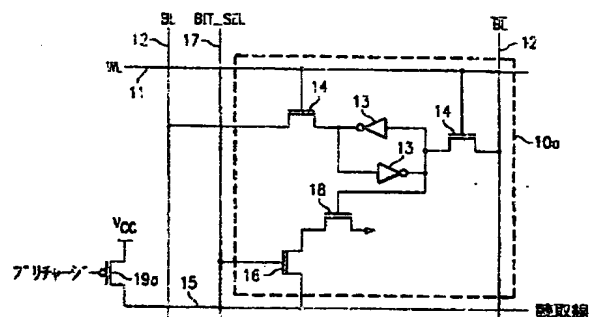
【符号の説明】

- 10 タグ・セル
- 15 読取線
- 16 多重化スイッチ
- 20 タグ・メモリ
- 25 タグ比較回路
- 30 CAM

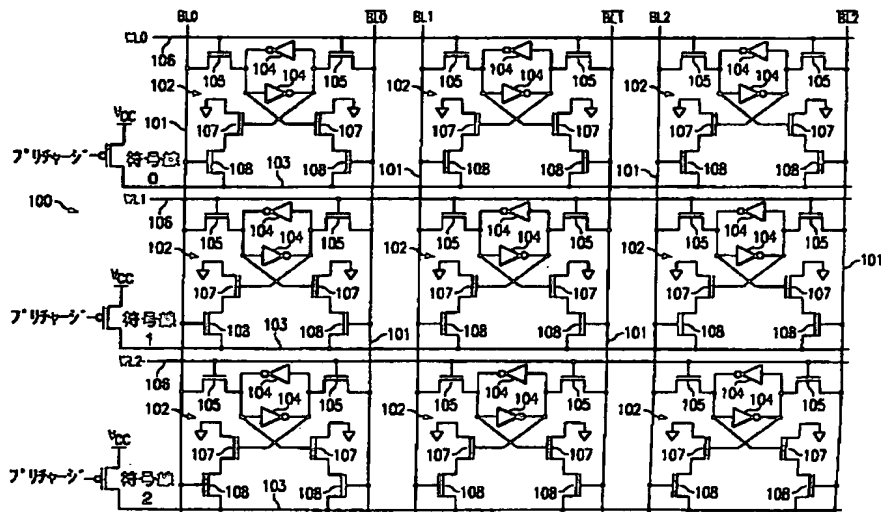
【図2】



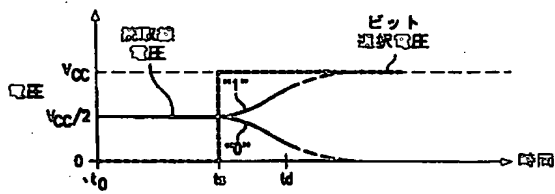
【図3】



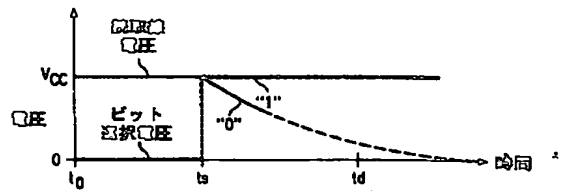
【図1】



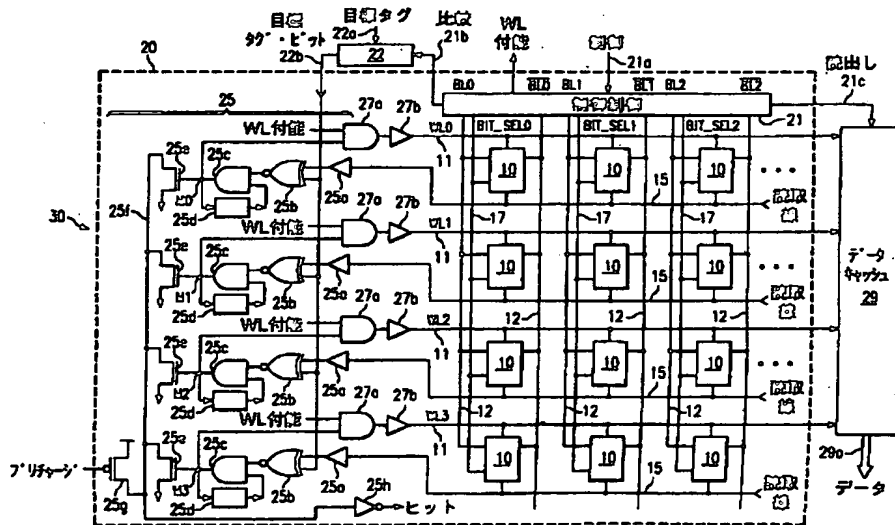
【図4】



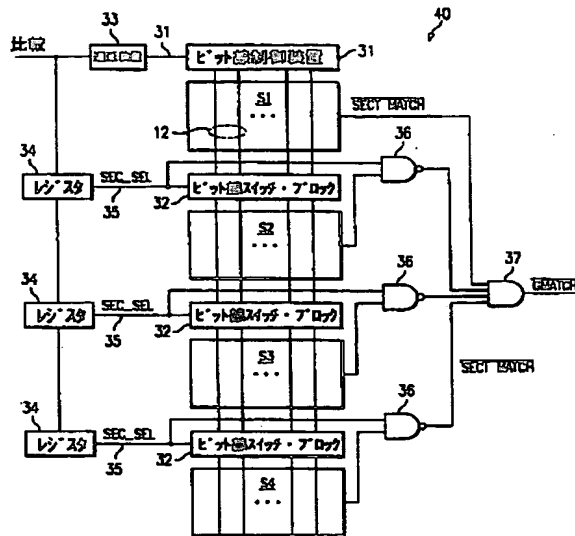
【図5】



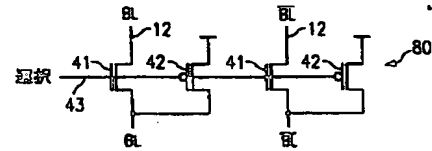
【図6】



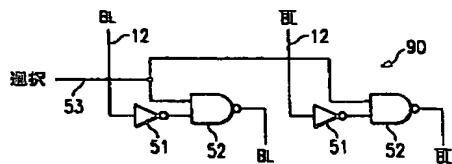
【図7】



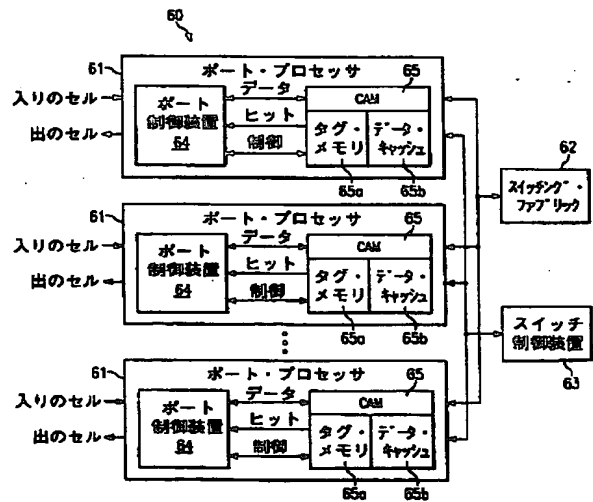
【図8】



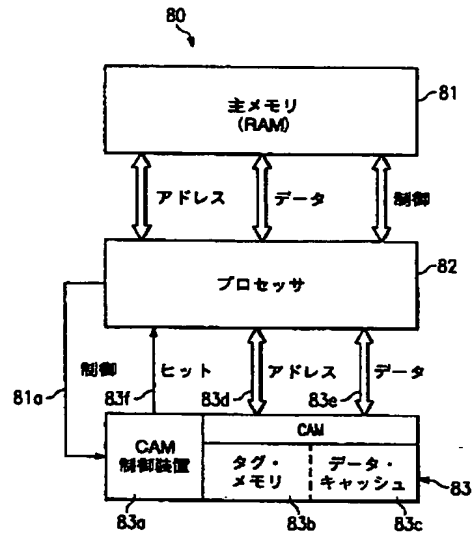
【図9】



【図10】



【図11】



THIS PAGE BLANK (USPTO)